

PROTECTIVE ELEMENT, MANUFACTURE THEREOF AND INTEGRATED CIRCUIT

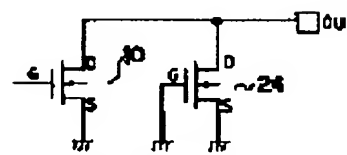
Patent number: JP5109991
 Publication date: 1993-04-30
 Inventor: NOZOE MINORU; SAWA KIYOTAKA; OMACHI YASUHISA
 Applicant: ROHM CO LTD
 Classification:
 - international: H01L27/06; H01L27/06; (IPC1-7): H01L27/06; H01L29/784
 - european:
 Application number: JP19910270717 19911018
 Priority number(s): JP19910270717 19911018

Report a data error here

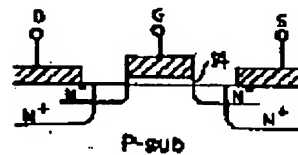
Abstract of JP5109991

PURPOSE: To prevent a latchup and to improve a surge breakdown strength of a MOS integrated circuit by forming a protective element for protecting a MOS device having an LDD structure in a single-drain structure.

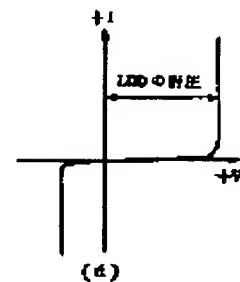
CONSTITUTION: A protective element 24 having a single-drain structure is composed by forming N<+> type or P<+> type as drain and source diffused layer on a P-type substrate or an N-well, and forming an oxide film 14 and a gate electrode G, a drain electrode D, a source electrode S thereon. The element 24 is connected in parallel with an NMOS 10 having an LDD structure. Accordingly, the breakdown strength of the element 24 becomes lower than that of the NMOS 10 to be protected. The element 24 is broken down previously from the NMOS 10 at the time of generating a surge. Thus, an electrostatic breakdown strength, a surge breakdown strength can be obtained without causing a latchup.



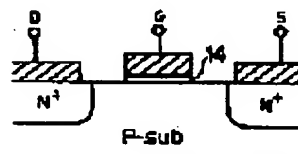
(a) 回路構成



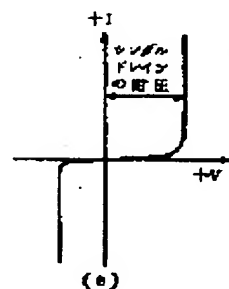
(b) LDD構造のNMOS



(d)



(c) シングルドレイン構造の保護素子



(e)

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-109991

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

H01L 27/06
29/784

識別記号

庁内整理番号

FI

技術表示箇所

7342-4M

7342-4M

8225-4M

H01L 27/06

29/78

311 C

321 D

301 K

審査請求 未請求 請求項の数3(全8頁)

(21)出願番号

特願平3-270717

(22)出願日

平成3年(1991)10月18日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 野添 実

京都府京都市右京区西院溝崎町21番地 □

ローム株式会社内

(72)発明者 沢 清隆

京都府京都市右京区西院溝崎町21番地 □

ローム株式会社内

(72)発明者 大間知 靖久

京都府京都市右京区西院溝崎町21番地 □

ローム株式会社内

(74)代理人 弁理士 吉田 研二 (外2名)

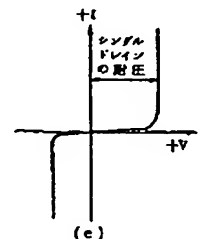
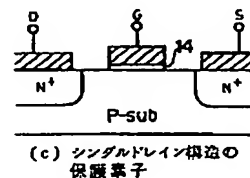
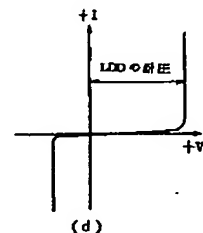
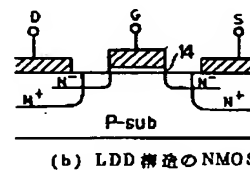
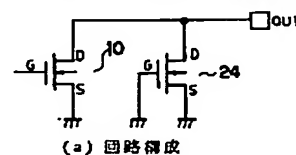
(54)【発明の名称】 保護素子、その製造方法及び集積回路

(57)【要約】

【目的】 ラッチアップを生じさせることなくMOS集積回路の静電破壊耐圧、サージ耐圧を確保する。

【構成】 保護素子24及び26としてシングルドレイン構造のMOSトランジスタを用いる。ラッチアップの恐れがあるサイリスタを形成することなく、MOS集積回路の静電破壊耐圧、サージ耐圧を確保できる。

図1 NMOSでの実施例



【特許請求の範囲】

【請求項1】 LDD構造のMOSデバイスに並列接続され、シングルドレイン構造を有し、当該MOSデバイスを電圧的に保護することを特徴とする保護素子。

【請求項2】 P層又はN層中に拡散層として N^+ 層又は P^+ 層を形成することにより保護対象たるNMOS素子又はPMOS素子のドレイン及びソース拡散層と保護素子のドレイン及びソース拡散層とを形成し、NMOS素子又はPMOS素子のゲート近傍に拡散層として N^- 層又は P^- 層を形成することにより、前記NMOS素子又はPMOS素子をLDD構造として、前記保護素子をシングルドレイン構造として、それぞれ形成することを特徴とする保護素子の製造方法。

【請求項3】 LDD構造のMOSデバイスと、請求項1記載の保護素子と、を含むことを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOSデバイスを電圧的に保護する保護素子に関し、さらにはその製造方法、これをを用いた集積回路に関する。

【0002】

【従来の技術】MOS集積回路において集積性を向上させる場合、MOSトランジスタの微細構造化が避けられない。反面、微細化を進めるとチャネル長が短くなり、ホットエレクトロン効果が顕著になりMOSトランジスタの信頼性が低下する。

【0003】このため、最近では、従来のシングルドレイン構造にかえLDD (Lightly Doped Drain) 構造が用いられている。LDD構造とは、ソース及びドレインの N^+ 又は P^+ 拡散層に加えさらに N^- 及び P^- 拡散層を形成し、ソース拡散層とドレイン拡散層とを低濃度で近接させる構造である。このような構造とすると、シングルドレイン構造のように高濃度で近接している場合に比べ、空乏層の広がりが大きくなり、電界が弱くなり、基板電流、ゲート電流が小さくなって、信頼性が向上する。

【0004】図3及び図4には、それぞれNチャネルMOS (以下NMOS) 及びPチャネルMOS (以下PMOS) 集積回路の一例構成が示されている。図3 (a) に示されるのはNMOS集積回路のオープンドレイン出力端子近傍の回路であり、NMOSTランジスタ (以下、単にNMOS) 10と、これを静電破壊から保護するNMOSである保護素子12と、を示している。NMOS10及び保護素子12のドレインは出力端子OUTに接続されている。保護素子12のゲートソース間は短絡されている。

【0005】NMOS10の構造は、図3 (b) に示されるようにLDD構造となっている。すなわち、P基板上にソース及びドレイン拡散層 N^+ が形成され、低濃度

の拡散層 N^- がチャネル近傍に形成されている。その上にMOSを構成する酸化膜14、ゲート電極G、ドレイン電極D、及びソース電極Sが形成されている。なお、図においては素子分離用の酸化膜やパッシベーション膜その他の構成は省略されている。また、保護素子12も、このNMOS10と同様の手法で製造できるようLDD構造となっており (図3 (c))、NMOS10及び保護素子12は、それぞれ図3 (d) 及び (e) に示されるような耐圧特性を有することとなる。

【0006】一方、図4 (a) に示されるのはPMOS集積回路の出力端子近傍の回路であり、PMOSTランジスタ (以下、単にPMOS) 16と、これを静電破壊から保護するPMOSである保護素子18と、を示している。PMOS16及び保護素子18のソースは電源 V_{DD} に接続されドレインは出力端子OUTに接続されている。保護素子18のゲートソース間は短絡されている。

【0007】PMOS16はNMOS10と同様にLDD構造である (図4 (b))。すなわち、P基板上にNウェルが形成され、さらにソース及びドレイン拡散層 P^+ が形成され、さらにこれより低濃度の拡散層 P^- がチャネル部に形成されている。さらに、NMOSの場合と同様に酸化膜14、ゲート電極G、ドレイン電極D、及びソース電極Sが形成されている。保護素子18も、NMOSの場合と同様にLDD構造となっている (図4 (c))。またPMOS16及び保護素子18の耐圧特性はそれぞれ図4 (d) 及び (e) に示される。

【0008】これらの構成では、保護素子12又は18が用いられている。この保護素子12及び18は、NMOS10又は16を静電破壊から保護している。しかし、このような構造であってもゲート酸化膜14がサージ電圧によって破壊することを防ぐのは困難である。LDD構造においては N^- 又は P^- 拡散層があるため高抵抗が直列に入り内部素子に加わる電圧が高くなりサージ破壊が生じてしまう。

【0009】このような破壊を防止するため、サイリスタを形成する方法が提案されている (特開昭62-60253号)。この方法は、図5 (a) に示されるように、CMOS出力バッファの出力端子OUTにバイポーラトランジスタ20及び22によるサイリスタを設ける手法である。図5 (b) に示されるように、トランジスタ20はNウェルに形成された P^+ 層、 N^+ 層及びP基板を、トランジスタ22はP基板上に形成された N^+ 層、 P^+ 層及びNウェルを、それぞれエミッタ、ベース、コレクタとするトランジスタである。

【0010】このような構成において、サージ電圧が出力端子OUTに加わると、トランジスタ20のエミッタを介してNウェルに高電圧が加わる。NウェルとP基板との間で接合降伏が生じ電子正孔対が生じると、電子はNウェルに、正孔はP基板に向かって流れる。すると、P基板電位が浮きトランジスタ22がオンし、OUTか

らP基板に向かって大電流が流れる。サイリスタがオンした時、トランジスタ20は飽和領域で動作しているため、ターンオン電圧が低くかつ電流駆動能力が高く、CMOS出力回路を構成するMOSトランジスタに高電圧が加わることが防止される。

【0011】

【発明が解決しようとする課題】しかしながら、このような構成においてはラッチアップが生じやすい。ラッチアップとは内部に寄生的にサイリスタが形成されることであり、先に示した特開昭62-60253号において10 ラッチアップが生じやすいことが示されている。ラッチアップは特性劣化につながるものであり好ましくない。そこで、本発明は、ラッチアップを防止しつつMOS集積回路のサージ耐圧を向上させることを目的とする。

【0012】

【課題を解決するための手段】このような問題点を解決するために、本発明の保護素子は、LDD構造のMOSデバイスに並列接続され、シングルドレイン構造を有し、当該MOSデバイスを電圧的に保護することを特徴とする。

【0013】また、本発明の保護素子の製造方法は、P層又はN層中に拡散層として N^+ 層又は P^+ 層を形成することにより保護対象たるNMOS素子又はPMOS素子のドレイン及びソース拡散層と保護素子のドレイン及びソース拡散層とを形成し、NMOS素子又はPMOS素子のゲート近傍に拡散層として N^- 層又は P^- 層を形成することにより、前記NMOS素子又はPMOS素子をLDD構造として、前記保護素子をシングルドレイン構造として、それぞれ形成することを特徴とする。

【0014】そして、本発明の集積回路は、LDD構造のMOSデバイスと、本発明の保護素子と、を含むことを特徴とする。

【0015】

【作用】本発明においては、サージ電圧が加わった場合にLDD構造より耐圧が低い保護素子がMOSデバイスに先立ちブレイクダウンするため、静電破壊耐圧、サー

ジ耐圧が確保される。また、サイリスタを形成した場合よりラッチアップが生じにくい。

【0016】

【実施例】以下、本発明の好適な実施例について図面に基づき説明する。図1にはNMOS10を保護する保護素子24の構成が、図2にはPMOS16を保護する保護素子26の構成が、それぞれ示されている。これらの図、特に図1(c)及び図2(c)に示されるように、本実施例の保護素子24及び26はシングルドレイン構造を有している。すなわち、P基板又はNウェル上にドレイン及びソース拡散層として N^+ 又は P^+ を形成し、その上に酸化膜14及びゲート電極G、ドレイン電極D、ソース電極Sを形成した構造を有している。このような構成とした場合、保護素子24及び26の耐圧(図1(c)及び(d))は保護対象たるNMOS10及びPMOS16の耐圧(図1(e)及び(f))より低くなり、サージ発生時にはNMOS10及びPMOS16より先にブレイクダウンする。

【0017】

【発明の効果】以上説明したように、本発明によれば、LDD構造のMOSデバイスを保護する保護素子をシングルドレイン構造としたため、ラッチアップを生じさせることなく、静電破壊耐圧、サージ耐圧を確保することができる。

【図面の簡単な説明】

【図1】本発明のNMOSによる実施例を示す図である。

【図2】本発明のPMOSによる実施例を示す図である。

【図3】NMOSによる従来例を示す図である。

【図4】PMOSによる従来例を示す図である。

【図5】サイリスタによりLDD構造のサージ破壊を防止する構成を示す図である。

【符号の説明】

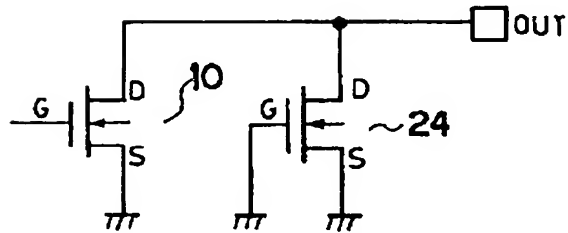
10 NMOS

16 PMOS

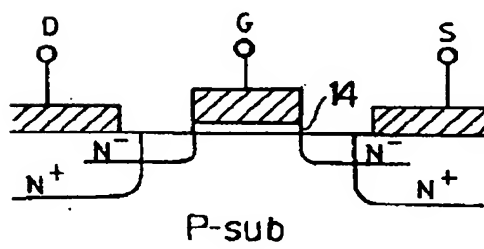
24, 26 保護素子

【図1】

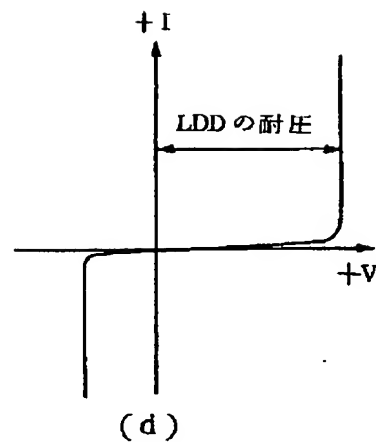
図1 NMOSでの実施例



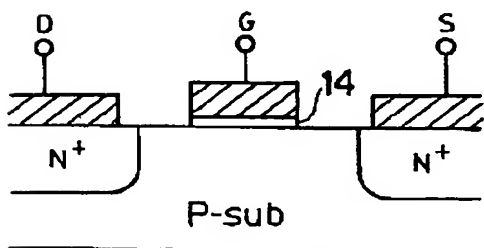
(a) 回路構成



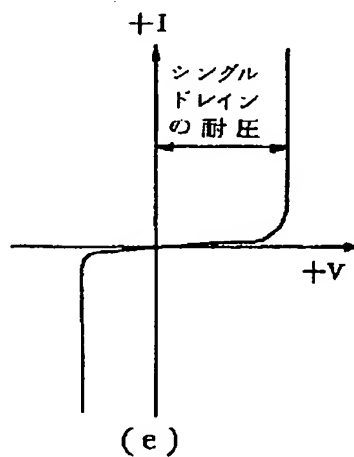
(b) LDD構造のNMOS



(d)



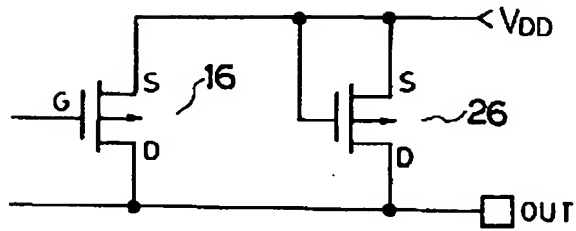
(c) シングルドレイン構造の保護素子



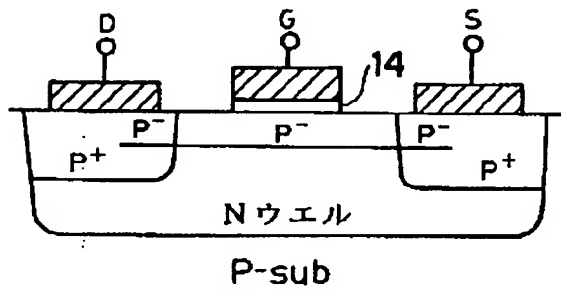
(e)

【図2】

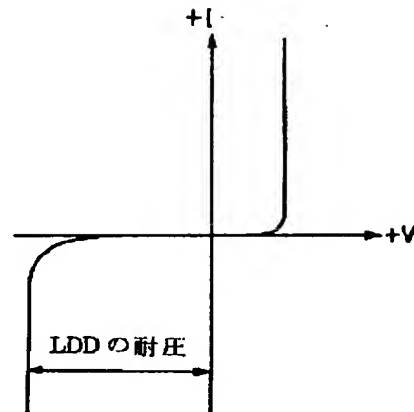
図2 PMOSでの実施例



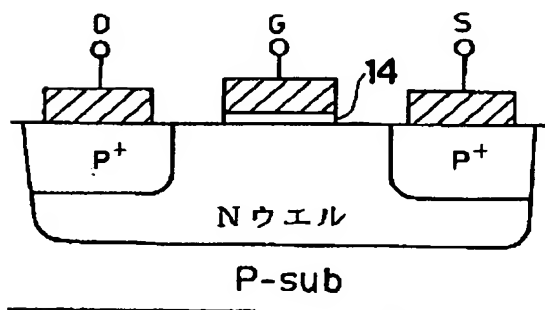
(a) 回路構成



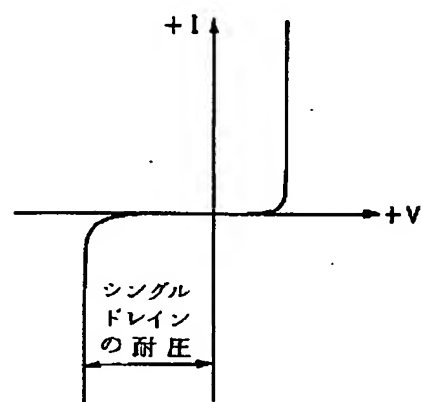
(b) LDD構造のPMOS



(d)



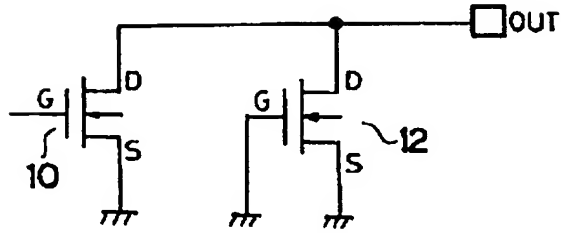
(c) シングルドレイン構造の保護素子



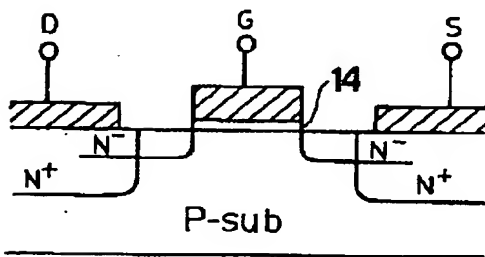
(e)

【図3】

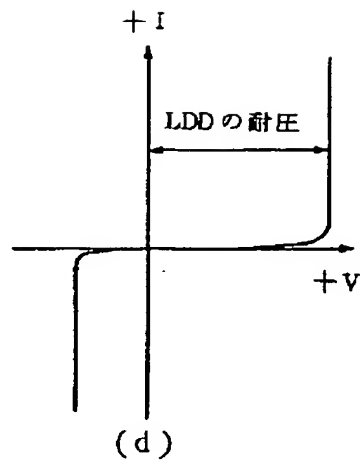
図3 NMOSでの従来例



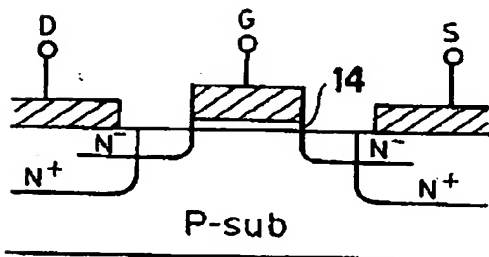
(a) 回路構成



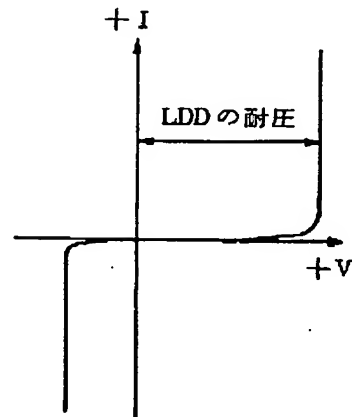
(b) LDD 構造の NMOS



(d)



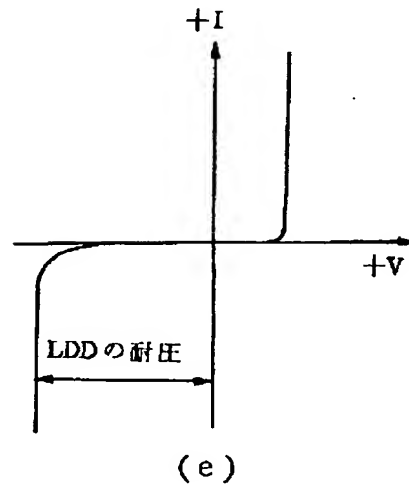
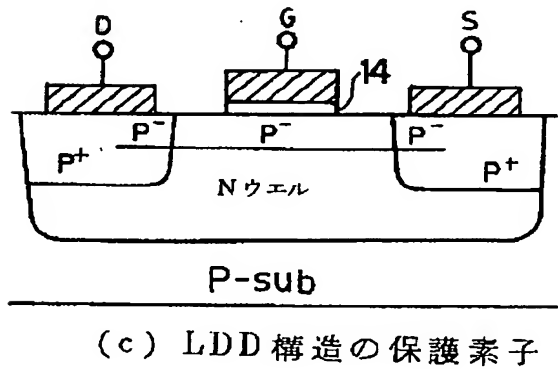
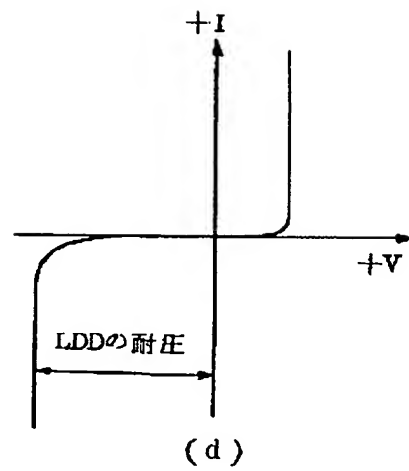
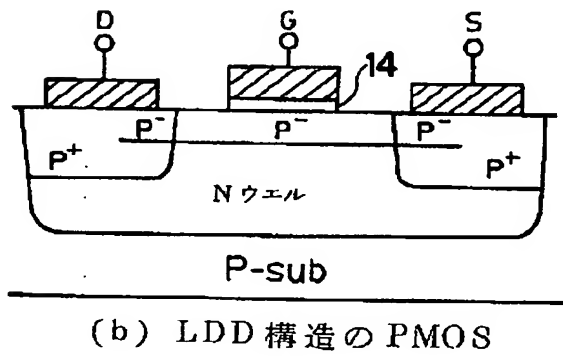
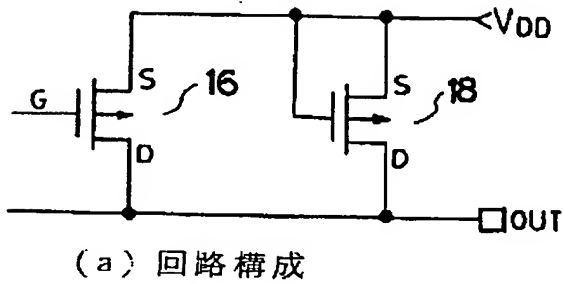
(c) LDD 構造の保護素子



(e)

【図4】

図4 PMOSでの従来例



【図5】

図5 サージ破壊の防止

